

(19) RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

(11) N° de publication : 2.111.866  
(A utiliser que pour  
le classement et les  
commandes de reproduction.)

(21) N° d'enregistrement national 71.38633  
(A utiliser pour les paiements d'annuités  
les demandes de copies officielles et toutes  
autres correspondances avec l'INPI.)

(13) DEMANDE  
DE BREVET D'INVENTION

1<sup>re</sup> PUBLICATION

(22) Date de dépôt ..... 27 octobre 1971, à 16 h.  
(41) Date de la mise à la disposition du  
public de la demande..... B.O.P.I. — «Listes» n. 23 du 9-6-1972.

(51) Classification internationale (Int. Cl.) H 01 I 19/00//H 01 I 7/30.

(71) Déposant : SHUMPEI YAMAZAKI, résidant au Japon.

Titulaire : *Idem* (71)

(74) Mandataire : Pierre Collignon.

(54) Dispositif de mémoire semiconducteur.

(72) Invention de :

(33) (32) (31) Priorité conventionnelle : Demandes de brevets déposées au Japon le 27 octobre 1970,  
n. 094.482/1970 et le 30 mars 1971, n. 018.959/1971 au nom du demandeur.

La présente invention se rapporte à une structure d'un revêtement isolant à utiliser pour un dispositif de mémoire semi-conducteur.

5 La présente invention est destinée à munir la surface du semiconducteur des grappes de composants ou de la couche mince tous deux en semiconducteur tout en maintenant une distance constante entre ces éléments.

La présente invention se rapporte à la structure et à sa fabrication pour déterminer le nouveau mécanisme du centre piège.

10 La figure 1 est la coupe transversale d'un MISFET (métal-isolant-silicium-transistor à effet de champ) de la structure selon l'invention ;

la figure 2 montre les formes d'exécution ;

15 la figure 3 (A) et (B) montre des structures de bandes d'énergie correspondant respectivement aux parties (A), (B) et (C), (D) de la figure 2 ;

les figures 4 et 5 montrent les données dérivées des essais dans une structure MNCNS (métal, nitrure, grappe, nitrure, substrat) ;

20 la figure 6 montre les données dérivées des essais dans une structure MNCNOS (métal, nitrure, grappe, nitrure, oxyde, substrat) ;

les figures 7, 8 et 9 montrent les caractéristiques d'un MISFET utilisant comme porte la structure de la figure 2 (A) et (B) ; et

25 la figure 10 montre les caractéristiques C-V pour une diode MNCNS ayant la structure de la figure 2 (E) et (F).

La présente invention se rapporte à une structure d'un revêtement isolant à utiliser pour un dispositif de mémoire semi-conducteur. Plus particulièrement, l'invention est destinée à 30 munir des grappes ou couches minces semi-conductrices sur des interfaces spécifiées ou près d'elles d'un revêtement isolant en deux ou plusieurs couches à former sur un substrat semi-conducteur, afin de commander ainsi la charge à accumuler sur les grappes ou les 35 couches minces en sa présence, sa polarité et sa valeur et à commander de cette manière le courant qui s'écoule à travers le semi-conducteur sous les revêtements.

Jusqu'à présent, le MASFET (pour metal-alumina-silicon-field-effect transistor, métal-alumine-silicium-transistor à effet 40 de champ) et le MNOSFET (pour metal-nitride-oxyde-silicon FET,

métal-nitrure-oxyde-silicium, transistor à effet de champ ont été connus comme dispositifs semiconducteurs utilisant des centres pièges existant dans leurs revêtements isolants. Ces centres pièges de MAS ou MNOS ont été considérés comme un produit de l'inégalité dans la dimension atomique due à une variation inattendue du traitement.

Ainsi, il est difficile de contrôler les porteurs d'électrons ou de trous capturés car il est difficile de déterminer la quantité des centres pièges et leur distance de l'interface. Cependant, le demandeur propose l'hypothèse que le métal ou les grappes semiconductrices sont répartis uniformément dans l'isolant et qu'ils agiraient aussi comme centres pièges pour les porteurs capturés en plus de l'irrégularité de la dimension atomique agissant comme centre piège existant aux voisinages des grappes. Ainsi, quand les grappes ou couches minces semiconductrices sont en sandwich dans des revêtements isolants sans grappes ou presque, il est possible de déterminer la quantité de centres pièges et leur distance de l'interface, ce qui donne la possibilité du contrôle des porteurs piégés.

La présente invention permet de munir la surface semiconductrice de grappes ou de couches minces tout en maintenant une distance constante de la surface.

La présente invention se rapporte aussi à la structure du revêtement isolant quand les grappes ou les couches minces doivent être entourées d'une pellicule isolée. Dans ce qui précède, les grappes ou la couche mince désignent des centres pièges de charge décrits ci-dessus aussi bien que la forme à établir selon la présente invention.

Comme les grappes agissent comme un chemin de courant de fuite pour le courant continu, il n'est pas désirable de les répartir dans la direction de l'épaisseur des revêtements. Il y a influence de la distance de l'interface aux grappes, que les grappes piègent les porteurs d'électrons ou de trous. Quand les écarts irréguliers de distance tels qu'un écartement étroit dans la distance au point spécifique assure le piégeage de charges, la bande d'énergie du substrat semiconducteur près de l'interface est déformée en détériorant la caractéristique du courant existant près de l'interface du substrat semiconducteur.

En d'autres termes, si on demande de contrôler le courant dans le substrat semiconducteur par changement de la polarité et

de l'intensité de la charge piégée dans le centre piège, la dite charge doit être répartie uniformément avec une densité constante, la distance de l'interface étant maintenue constante. Cela a été prouvé par les essais. La présente invention se rapporte à la structure et à sa fabrication selon la discussion qui précède définissant le mécanisme des centres pièges.

Dans l'exposé qui suit, une couche isolée ou un revêtement isolé désigne une couche de l'isolant et les revêtements isolants désignent de façon générale des revêtements isolés à couches multiples, des grappes semiconductrices et des couches minces semiconductrices.

Sur la figure 1, on a représenté une coupe transversale de MISFET utilisant la structure selon l'invention. On remarquera que le dispositif semiconducteur tel que FET (transistor à effet de champ), le MISFET à porte de silicium du type à auto-alignement, le MISFET classique, le DSAMISFET, etc .. seront des dispositifs pour agir comme capteurs en utilisant simplement l'invention. En d'autres termes, quand la présente invention est utilisée pour RAM (random access memory, mémoire à accès aléatoire), le dispositif semiconducteur ci-dessus captera l'information mémorisée dans le revêtement isolant. Quand la présente invention sera appliquée pour faire varier la tension de seuil ( $V_{th}$ ) par rapport à des tensions de fonctionnement du dispositif semiconducteur, la présente invention jouera un rôle secondaire.

Sur la figure 1, la présente invention est utilisée pour fabriquer la grille du MISFET. Une construction MIS se compose de métal ou de silicium ou de germanium dopé 1, de revêtements isolés 2, 4, de grappes ou d'une couche mince semiconductrices 3, d'un substrat semiconducteur 5 de silicium type P dans ce cas et d'une électrode de base 17. Le courant dans le dispositif semiconducteur s'écoule à travers le conducteur 13, la source 14, le canal sous la grille, le drain 16 et le conducteur 15 du drain. Un oxyde de silicium est utilisé pour isoler les conducteurs et le substrat en diminuant la capacité parasite entre eux.

Sur la figure 2, on a représenté des formes d'exécution de structures selon l'invention. La structure de la figure 2 se compose d'une électrode conductrice 1, de revêtements isolés 2, 4, 6, 8, 11 et de grappes semiconductrices ou de couches minces 3, 7.

Pour l'électrode conductrice, on utilise en plus de métal

tel que l'aluminium, l'or, le titane, le platine etc ... des impuretés de type P ou N en silicium ou germanium multicristallins dopés sur une face ou sur les deux. Les grappes représentées sur la figure 2 (A), (C), (E), (G), (I), (J), (K), (L) ont une forme hémisphérique et sont en silicium ou germanium comme les couches minces. Une micrographie électronique révèle des grappes en forme resserrée aussi bien qu'en forme hémisphérique d'un diamètre allant de 10 à 3000 angströms. Les surfaces à hachures obliques sur les figures 2 (B), (D), (F), (H), (I), et (J) indiquent les couches minces semiconductrices. Par suite de la difficulté des mesures, l'épaisseur exacte de la couche mince n'a pas été obtenue mais on pense cependant que l'épaisseur est en moyenne dans le domaine de 5 à 300 angströms.

Le revêtement isolé (2) étant en contact étroit avec les grappes semiconductrices ou avec la couche mince doit être protégé contre le recuit thermique et pour cette raison on a utilisé pour la matière de revêtement du nitrure de silicium, de l'oxy-nitrure de silicium, du nitrure de germanium, de l'oxyde de silicium, de l'oxyde d'aluminium, de l'oxyde de tantale ou de l'oxyde de titane. Selon les applications, on a aussi choisi des combinaisons de ces matières. En général, une matière d'oxyde engendre du gaz oxygène quand elle est recuite et le gaz réagit sur la grappe ou la couche mince en rendant leur forme écrasée. Pour cette raison, on utilise surtout du nitrure de silicium. On doit prendre soin d'exclure les grappes de silicium ou de germanium pratiquement du revêtement 2.

Sur la figure 2 (A), (B), (E), (F), (G), (H), (I), (J) et (K), on a utilisé une mono-couche de revêtement isolant en oxyde de silicium ou nitrure de silicium ou nitrure de germanium sous la grappe ou la couche mince semiconductrice. Sur la figure 2 (C), (D), et (L), on a utilisé des multi-couches constituées par les revêtements 4 et 11.

Dans le cas du substrat semiconducteur de silicium, on a choisi un revêtement d'oxyde de silicium de moins de 200 Å d'épaisseur, typiquement entre 10 Å et 50 Å avec un revêtement isolé de nitrure de silicium ou de nitrure de germanium d'une épaisseur de 200 Å, typiquement entre 10 Å et 50 Å. En général, le silicium semiconducteur fournit facilement de l'oxyde de silicium sur sa surface et cela rend la surface stable. Cependant, comme l'oxyde de silicium réagit sur la grappe ou sur la couche mince semicon-

ductrice lors du recuit, la caractéristique d'isolement, la caractéristique d'interface, etc. deviennent inférieures. Pour surmonter ces difficultés, on a formé une pellicule de nitrure 4 résistant à la chaleur sur la surface de nitrure de silicium 7 et la grappe ou la couche mince semiconductrice est formée sur la pellicule de nitrure.

Sur la figure 2 (K) et (L), le revêtement isolant consiste en un revêtement de nitrure 2 et un autre revêtement isolé tel que de l'oxyde de silicium, de l'oxyde de silicium dopé ou un revêtement qui a une constante diélectrique spécifique plus élevée d'oxyde de tantale, d'oxyde de titane. Le revêtement de nitrure est formé sur ce dernier en rendant le revêtement isolant monolithique. L'épaisseur du revêtement isolant va de 300 à 3000 Å selon la technique de traitement de l'invention.

Comme on l'a décrit ci-dessus et représenté sur la figure 2, la structure de base du revêtement isolant selon l'invention consiste en grappes à triple couche emmagasinant les grappes, à fabriquer par les opérations suivantes en formant le revêtement isolant 2 sur les grappes semiconductrices ou sur la couche mince 3 formées sur un revêtement isolé monocouche 4 ou sur des revêtements isolés multicouches 4 et 7. Les revêtements sont à former en mince épaisseur sur le substrat semiconducteur 5. Les deux couches de revêtement isolé sont représentées sur la figure, mais on pourrait augmenter le nombre de couches de revêtement.

On peut utiliser un métal ou un semiconducteur comme matière pour la grappe ou la couche mince mais on a utilisé cependant dans les essais le semiconducteur tel que le silicium ou le germanium parce que le métal déplacerait la caractéristique C-V (capacité en fonction de la tension de grille) dans le sens positif de façon irréversible, tandis que le semiconducteur présente une caractéristique d'hystérésis réversible.

Dans la forme d'exécution, on traite les grappes ou la couche mince de silicium par dépôt gazeux chimique (CVD, chemical vapor deposition) avec le silane, par évaporation sous vide ou par pulvérisation de silicium et les grappes ou la couche mince de germanium sont traitées par évaporation sous vide ou par pyrolyse de germane. Dans le cas de la production de grappes par évaporation sous vide, on a trouvé dans les essais que la surface à former pour les grappes doit être maintenue à basse température sans préchauffage à environ 300° C. L'utilisation du CVD avec le

silane a été facile dans le traitement expérimental par comparaison avec l'utilisation de gaz réactif tel que  $\text{SiH}_2\text{Cl}_2$ ,  $\text{SiHCl}_3$ ,  $\text{SiCl}_4$ , etc .. Si une impureté tribasique ou pentabasique telle que le phosphore ou le bore à utiliser pour le substrat semiconducteur  
5 est dopée avec ces gaz réactifs en produisant les grappes ou la couche mince avec une conduction de type P ou N, le niveau dans la bande d'énergie pour la grappe peut être modifié. En plus de cela, on peut utiliser le métal et le semiconducteur en mélange pour la grappe ou la couche mince.

10 La figure 3 montre les bandes d'énergie représentées pour la figure 2 (A), (B), (C) et (D). La figure 3 (A) comprend le métal de grille aluminium 1, le nitrure de silicium 2, les grappes ou la couche mince de silicium 3 et le nitrure de silicium 4 avec un substrat semiconducteur 5, ce qui correspond ainsi à la structure  
15 de MNCNS (metal-nitrure-grappe-nitrure-substrat). On remarquera que la grappe de silicium est formée pour capturer des électrons ou des trous comme centre piège et a la même configuration de bande que le substrat de silicium. Pour cette raison, la présente invention n'utilise pas un centre piège de dimension atomique classique  
20 qui prend moins d'une microseconde normalement pour l'injection et la recombinaison des porteurs et n'utilise pas un élément résultant de l'existence de la grappe et de la couche mince. De cette façon, la présente invention diffère complètement dans sa conception technique de la structure classique MNOS.

25 La figure 3 (B) correspondant à la figure 2 (C) et (D) comprend une grille en aluminium métal 1, du nitrure de silicium 2, des grappes ou une couche mince de silicium 3, du nitrure de silicium 4, le revêtement 11 et le substrat semiconducteur de silicium 5 et présente ainsi la structure de MNCNOS. Les matières  
30 indiquées ici ont été utilisées dans les essais et ne sont que des exemples.

La matière du substrat de semiconducteur sera du germanium, du gallium, de l'arséniure de gallium au lieu de silicium. Bien que la structure de bande ne soit pas la même, la matière pour 2, 4  
35 sera du nitrure de silicium ou du nitrure de germanium, pour 3 du germanium et pour 1 du silicium ou du germanium dopé.

#### Forme d'exécution 1.

La forme d'exécution 1 se rapporte à la figure 2 (A) et (B). La discussion qui suit montrera les détails de fabrication  
40 pour la structure MNCIS et son résultat, I désignant le revêtement

isolé.

On utilisera pour le substrat semiconducteur le silicium, le germanium, l'arséniure de gallium, etc .., mais on a utilisé pour l'essai le silicium semiconducteur ayant  $N_0 = \frac{1}{2} \times 10^{15} \text{cm}^{-3} (100)$  de densité d'impuretés sur les axes cristallographiques. Après nettoyage du substrat semiconducteur, on a formé les revêtements isolés 2 et 4 en utilisant le dépôt par réaction entre solide et gaz et le CVD. Dans le premier procédé, le substrat a été placé dans de l'oxygène sec ou dans de l'oxygène humide dans les deux cas à la température de 500 à 1100° C pour l'oxydation thermique. La durée de 5 secondes à une minute a été nécessaire pour l'oxydation thermique à une température de 900° à 1100° C. Dans le dernier procédé, le substrat a été placé dans de l'azote ou de l'ammoniac à une température de 1000° à 1350° C pour l'obtention d'un revêtement de nitrure de silicium sur lui. L'épaisseur de revêtement de moins de 100 Å a été obtenue à une température de 1150° à 1200° C en une durée de 10 minutes à une heure.

Un revêtement d'oxyde de silicium ayant l'épaisseur de moins de 200 Å a été produit par réaction chimique entre le silane sous un débit de 0,1 cc par minute et l'oxygène sous un débit de 10 à 500 cc par minute avec un gaz porteur d'azote sous un débit de 5 l/mn à une température de 200° à 500° C.

Le revêtement de nitrure de silicium a été produit par réaction du silane, de  $\text{SiH}_2\text{Cl}_2$ , de  $\text{SiHCl}_3$ , ou de  $\text{SiCl}_4$  sur l'ammoniac ou l'hydrazine à une température de 500 à 900° C. Les données de détail sont les suivantes :

|                                     |                              |
|-------------------------------------|------------------------------|
| Silane ou $\text{SiH}_2\text{Cl}_2$ | : 0,2 - 0,4 cc/mn            |
| Ammoniac                            | : 100 - 300 cc/mn            |
| Gaz porteur d'azote                 | : 2,5 l/mn pour le siliciure |
|                                     | 0,5 l/mn pour l'ammoniac     |

Four : four de réaction vertical avec catalyseur d'oxyde de nickel réduit pour l'activation de l'ammoniac.

Le nitrure de silicium résultant ne contenait pas de grappes ou n'en contenait qu'une quantité négligeable. L'addition de moins de 100 ppm d'oxygène ou d'oxyde nitrique au gaz réactif obtenu dans le procédé ci-dessus a produit de l'oxynitrure de silicium.

Le nitrure de germanium a été produit par réaction de



GeH<sub>4</sub> ou GeCl<sub>4</sub> sur l'ammoniac à une température de 400° à 700° C. On a utilisé du germane à 0,2 - 0,4 cc/mn tout en maintenant la température du substrat à 550° C dans l'essai. D'autres données sont restées les mêmes que dans le traitement pour le revêtement du nitrure de silicium.

Le CVD utilisant le silane ou le germanium a été un traitement efficace pour les grappes ou la couche mince mais l'utilisation de SiH<sub>2</sub>Cl<sub>2</sub> a rendu le traitement plus facile. Dans le dernier cas, on a utilisé comme gaz porteur de l'hydrogène à 0,5 l/mn pour l'ammoniac et de l'azote à 2,5 l/mn pour SiH<sub>2</sub>Cl<sub>2</sub>. Un halogénure de silicium ou de germanium, tel que le tétrachlorure de silicium, le tétrachlorure de germanium ou le trichlorure de silane, peut être utilisé dans le traitement mais on a choisi le silane et le germane parce qu'ils peuvent être manipulés plus facilement. Avec ces gaz de silicium et de germanium, l'ammoniac ou l'hydrazine ayant tous deux un volume de gaz moindre que les premiers peuvent être utilisés pour augmenter le dépôt de la grappe. En outre, on peut employer l'évaporation sous vide ou la pulvérisation, mais ces opérations nécessiteront, pour produire le 3, un poste séparé du poste où le traitement du revêtement de nitrure de silicium doit être fait. Pour cette raison, la surface de la grappe ou de la couche fine sera souillée et oxydée.

La figure 4 montre le résultat obtenu avec la structure MNCNS utilisant le revêtement de nitrure de silicium pour 2 et 4 par le procédé CVD. L'épaisseur totale du revêtement a été de 1250 Å. La figure 4 est basée sur la caractéristique générale C-V de la structure MNCNS telle que le montre la figure 6. Sur la figure 4, l'axe des abscisses représente la tension de grille du champ et l'axe des ordonnées représente le degré d'hystérésis sous la forme  $\Delta V_{BF}$  (pour la variation de tension à bande plate) ou  $\Delta N_{FB}$  (pour la variation de la densité de charge capturée par la grappe ou la couche mince à bande plate).

Les essais N° 304 et N° 308 montrent que, quand C (3) augmente, l'hystérésis augmente simplement. Les essais en N° 308 et N° 309 montrent que quand I (4) augmente, l'hystérésis diminue. En conséquence en rendant I (4) plus faible et C (3) plus forte on augmentera la densité de charge à capturer. Cependant, en rendant I (4) trop faible, la charge capturée interfèrera avec le courant à travers le semiconducteur ou affaiblira la retenue de la charge capturé.

Les données de la figure 4 indiquent :

$$\Delta N_{FB} = 8,2 \times 10^{12} \text{ cm}^{-2}$$

et la valeur est environ cinq fois plus grande que pour la structure classique MNOS ayant une hystérésis aléatoire, c'est-à-dire

5  $N_{FB} = 1 \sim 2 \times 10^{12} \text{ cm}^{-2}$

Ainsi la présente invention donne une caractéristique nouvelle inégalée.

La figure 5 montre le résultat d'essais en maintenant le potentiel de grille constant ( $V_g \text{ max} = \pm 50 \text{ V}$ ,  $E = \pm 4 \times 10^5 \text{ V/cm}$ ) tout en faisant varier  $\Delta V_{FB}$  et le temps de dépôt pour les grappes ou la couche mince 3 et le revêtement isolant 4. Quand le nitrure de silicium est utilisé pour le revêtement isolant 4, la surface du substrat de silicium à placer sous le revêtement de nitrure de silicium réagira sur l'oxygène de l'air et produira un revêtement d'oxyde de silicium de 5 à 20 Å à la température normale. Ce revêtement d'oxyde sera enlevé dans le gaz ammoniac à une température au-dessus de 1000° C en plus de 10 minutes et la partie du revêtement d'oxyde sera changée en nitrure de silicium. Le revêtement d'oxyde sera d'autre part enlevé par le procédé de nettoyage spécial du substrat de silicium. Si une structure pure MNS est demandée, on doit faire le traitement ci-dessus. La couche mince d'oxyde produite à la température normale peut être négligée en pratique. L'oxyde dit naturel, tel que dans le cas ci-dessus, présente une épaisseur aléatoire à la surface du substrat. Par exemple, l'épaisseur d'une partie sera de 20 Å et l'épaisseur d'une autre partie dans la même structure sera nulle.

Sur la figure, le revêtement de nitrure de silicium montre une croissance de 1 à 2 Å par seconde. L'épaisseur aléatoire ci-dessus doit être prise en considération à la seconde zéro sur l'axe y. Le point A de la figure désigne une diode MNS. La valeur correspondante de  $V_{FB}$  est 8 V avec  $\pm 4 \times 10^6 \text{ V/cm}$ . De cette façon, l'hystérésis est très faible quand la grappe ou la couche mince n'a pas été formée par dépôt au silane. Quand le revêtement de la figure 2 (4) a été formé avec un revêtement d'oxyde à haute température, l'hystérésis ( $\Delta V_{FB}$ ) même épaisseur a été moindre que 1 V pour le même potentiel de champ.

Dans le cas où le silane est déposé pour former la grappe ou la couche mince, quand le temps de dépôt augmente (comme repré-

senté sur la figure) la courbe change (24), (23), (22) et (21)  $V_{FB}$  augmente et l'épaisseur du revêtement de nitrure de silicium (4) sur la figure 2 (A) et (B) augmente et  $\Delta V_{FB}$  diminue. Quand le temps de dépôt du silicium était de 30 s et 60 s, les grappes d  
5 silicium ont été formées. Le diamètre des grappes de silicium était entre 300 Å et 1500 Å d'après les mesures au microscope électronique. La couche mince de silicium a été produite quand le temps de dépôt était plus de 300 s. Quand l'épaisseur de la couche mince est de plus de 500 Å, elle doit être appelée couche épaisse  
10 Dans la présente invention, quand l'épaisseur moyenne de couche de semiconducteur est au-dessous de 100 Å, les grappes sont produites. Quand elle est entre 100 Å et 500 Å, la couche mince de semiconducteur est produite. Quand la couche épaisse semiconductrice est produite dans le revêtement isolant, elle est plutôt appelée grille  
15 de silicium flottante de MISFET. Dans le présent essai de l'invention, quand la couche épaisse est produite, le revêtement isolé (\*) de la figure 2 (B) doit avoir plus de 500 Å pour ne pas présenter les trous d'aiguille ou d'autres chemins conducteurs. Pour la formation de C l'introduction d'ammoniac ou d'hydrazine avec le  
20 même volume que le gaz silane ou avec un volume moindre que celui du gaz silane peut favoriser la vitesse de formation des grappes.

Quand on introduit une petite quantité de gaz nitré, il devient difficile de produire la couche mince de silicium semiconducteur. Les grappes de silicium sont préparées quand le temps de  
25 dépôt est autour de 300 s ou davantage sous le même débit de silane que pour la préparation des grappes de silicium dans la figure 5. Ainsi, il est possible d'obtenir une longue retenue de mémoire par suite de la capture des trous ou électrons aux grappes, même quand il y a un petit nombre de trous d'aiguille ou de chemins  
30 conducteurs sur le revêtement 4 entre les grappes et le substrat ou l'électrode grille. Au contraire, quand il y a des trous d'aiguille sur le revêtement 4 dans la couche mince semiconductrice, les électrons capturés ou trous capturés dans la couche mince fuient au substrat 5.

35 Ainsi, la retenue de mémoire pour une mémoire à semiconducteur n'a pas la valeur désirable.

Comme résultat, on a obtenu expérimentalement que la retenue de mémoire a une durée de plus de 2000 heures quand on a utilisé la grappe de silicium ou de germanium. Elle a été de moins de  
40 500 heures, telle que 1 heure, quand on a utilisé la couche mince.

Le résultat obtenu sera le même si on n'utilise pas en même temps le gaz ammoniac.

Les résultats exposés ci-dessus montrent que le principe de la présente invention est correct. Le phénomène d'hystérésis trouvé dans les caractéristiques C-V de la structure MNS et de la structure MNOS ne doit pas être basé dans l'irrégularité de la dimension atomique et doit être basé sur l'existence de la grappe dans le revêtement isolant, agissant comme un centre piège pour les électrons et les trous quand on désire contrôler la dimension et la forme de l'hystérésis pour les caractéristiques C-V.

La présente invention fournit une nouvelle structure où la grappe ou la couche mince est considérée comme des centres pièges répartis de façon uniforme et à distance constante du substrat.

Forme d'exécution 2 :

La forme d'exécution 2 se réfère à la figure 2 (D) et (E) ayant une structure  $MNCI_1I_2S$  ( $I_1$  et  $I_2$  représentent respectivement les revêtements isolés 4 et 11). La matière et le procédé pour le substrat semiconducteur, le revêtement isolé, la grappe ou la couche mince et le conducteur de grille sont les mêmes que dans la forme d'exécution 1. Les structures de la figure 2 (C) et (D) correspondent à la formation de revêtement d'oxyde de silicium localement sur leur surface à la température normale. Ce type de revêtement d'oxyde réagira quand le traitement thermique pour la grappe ou la couche mince semiconductrice est fait à une température au-dessus de  $500^\circ C$  en une heure, comme on l'a décrit ci-dessus. Pour cette raison, l'environnement de la grappe ou de la couche mince semiconductrice par un revêtement de nitrure de silicium ou de nitrure de germanium est très désirable.

La présente invention surmonte ces difficultés en faisant varier la structure MNCOS ou la structure MNCNS représentée dans la forme d'exécution 1 en une structure MNCNOS. La figure 2 (L) montre une structure MINCNOS ou MICONS, version améliorée de la structure MNCONS, en plaçant un revêtement isolant d'oxyde de tantale ou d'oxyde de titane ayant une plus grande constante diélectrique spécifique sur le revêtement de nitrure 2 formé sur la structure MNCONS, c'est-à-dire sur la grappe ou la couche mince. La structure MINCNOS a un mince revêtement électrique et un revêtement physique épais ce qui protège contre les chocs mécaniques à appliquer à la partie de grille du dispositif

semiconducteur. En addition à cela, la grappe ou la couche mince peut être mise en couches multiples pour augmenter cet effet.

C'est un mode de combinaison utilisant la présente invention.

- Après établissement de la surface de silicium semiconducteur ayant la densité d'impuretés de  $N = 1 \times 10^{15} \text{ cm}^{-3}$  (100) complètement nettoyée, on a produit le revêtement d'oxyde de silicium 7 par réaction solide-gaz en oxygène sec en 100 s à 1000° C. Alors, on a formé le revêtement de nitrure de silicium par le CVD en utilisant le silane et l'ammoniac en 15 secondes.
- 10 On a fait l'essai avec  $\text{SiH}_2\text{Cl}_2$  et  $\text{SiCl}_4$  et les résultats furent les mêmes. La grappe ou la couche mince a été produite par le traitement de dépôt au silane en 300 secondes. On a formé le revêtement de nitrure de silicium sur la grappe ou la couche mince en maintenant la température du substrat à une température de 650° à 750° C. Finalement, on a complété une structure MNCNOS en plaçant une électrode d'aluminium sur la structure ci-dessus et en utilisant un procédé d'évaporation sous vide.

- $\Delta V_{\text{FB}}$  diminue proportionnellement à l'augmentation de l'épaisseur du revêtement d'oxyde 7 ajouté au revêtement de nitrure 4.  $\Delta V_{\text{FB}}$  augmente en proportion du temps de dépôt du silane. Ces résultats sont les mêmes que ceux pour la figure 5.

- La figure 6 (A) et (B) montre la caractéristique C-V obtenue dans l'essai.  $\Delta V_{\text{FB}}$  augmente en proportion de  $V_{\text{g max}}$  (pour la tension de grille maximale appliquée en volts). La figure ne montre pas de caractéristique d'hystérésis quand  $V_{\text{g max}}$  est au-dessous de 50 V. La tension critique de l'échantillon sur la figure 6 est 50 V et l'hystérésis,  $\Delta V_{\text{FB}}$ , augmente avec l'accroissement de la tension de grille maximale,  $V_{\text{g max}}$ . La caractéristique C-V sans hystérésis est représentée sur la figure 6 (A). Cette figure montre que les propriétés d'interface entre le substrat 5 et l'isolant 11, 4 sera une caractéristique idéale pour une grille MISFET, car la charge fixe  $Q_{\text{ss}}/q$  existant sur l'interface est presque nulle. Ainsi la fabrication de la structure selon la présente invention demande la technique pour la fabrication de nitrure de silicium sans grappe ou presque ou de nitrure de germanium sans grappe ou presque.

- La présente forme d'exécution montre qu'il est possible de contrôler le degré d'hystérésis des caractéristiques C-V en faisant varier les conditions de préparation telles que la vitesse de dépôt du gaz silicié, le temps de dépôt du gaz silicié,

la proportion de mélange de la petite quantité d'ammoniac ou d'hydrazine et la distance entre la grappe ou la couche mince et l'interface. Il est aussi possible de contrôler le degré d'hystérésis en faisant varier la température de dépôt du gaz silicié au-dessus de 750° C ou au-dessous de 650° C.

La bande d'énergie dans la forme d'exécution est représentée sur la figure 3 (B) avec les repères correspondant à la figure 2 (C) et (D).

### Forme d'exécution 3.

La forme d'exécution décrit la caractéristique de MISFET constituée par les structures de la figure 2 (A) et (B) avec grille. La forme d'exécution utilise un canal N et sa structure de base est représentée sur la figure 1, la distance de la source 14 et du drain 16, dite longueur de canal, est de 30 microns et chaque grille a une longueur de 1000 microns.

Le substrat utilise un type P (100) et sa résistivité est de 3 à 5  $\Omega$ cm. Les figures 7, 8 et 9 montrent le résultat d'après l'essai ci-dessus. L'isolant de grille correspondant au revêtement de nitrure de silicium 2 sur la figure 2 est de 600 à 700 Å. Cette valeur est environ la moitié de celles des exemples d'exécution 1 et 2. L'épaisseur du revêtement peut être changée selon l'application. Quand le canal P pour MISFET est désiré, on doit faire changer la conductivité du substrat en type N et on doit associer une source et un drain de type P<sup>+</sup>.

Sur la figure 7, l'axe des abscisses représente la tension de grille Vg et l'axe des ordonnées représente le courant de drain (Id). La tension de drain a été maintenue constante à 100 mV. La caractéristique Vg - Id reste la même tandis que la tension de seuil (Vth) change de +10 V à -10V. La pente de la caractéristique montre que la mobilité des porteurs dans le canal est 400 cm<sup>2</sup>/V sec.

Le fait de base dans la présente forme d'exécution est en opposition avec le concept de la technique des semiconducteurs que, plus les états de surface à l'interface sont élevés, plus la mobilité des porteurs dans le canal est faible et que quand les états de surface sont plus faibles, la mobilité des porteurs à l'interface est plus proche de la mobilité en bloc des porteurs.

Si on ajoute plus ou moins de tension grille à la tension initiale Vth de +2V, les données de la caractéristique Vg - Id restent les mêmes avec une tension grille moindre que la tension

critique  $V_c$ . Avec une tension de grille au-dessus de la tension critique, les données changent dans la direction de la tension appliquée. La tension critique de la présente forme d'exécution était de  $\pm 23 \pm 25$  V.

- 5 Les repères ① et ② représentés sur la figure indiquent la séquence de la tension de grille maximale appliquée ( $V_g$  max). Pour  $V_g = 0$  V, on obtient les caractéristiques ⑥ et ⑧. C'est l'état passant. Pour  $V_g = 0$  V sans  $I_d$ , on obtient les caractéristiques ⑦ et ⑨. C'est l'état bloqué. On peut le voir d'après la caracté-
- 10 ristique pour changer chaque état dans l'autre et ainsi la présente invention fonctionne comme mémoire à accès aléatoire (RAM, random access memory).

- La figure 8 montre la caractéristique de la tension de drain  $V_d$  en fonction du courant de drain  $I_d$  correspondant à la
- 15 figure 7, le repère ⑨ pour la tension grille maximale à +40 V. La caractéristique montre que  $I_d > 0$  pour  $V_g > 10$  V et  $I_d = 0$  pour  $V_g < 10$  V. Ce dernier cas montre l'état bloqué.

- La figure 9 montre la caractéristique  $V_d - I_d$  correspondant à la figure 7, repère ⑧, pour la tension de grille maximale
- 20 à -40 V. Elle montre que  $I_d > 0$  pour  $V_g = 0$  et  $I_d = 0$  pour  $V_g < -10$  V. Le premier cas indique l'état passant.

- Comme on l'a décrit ci-dessus, en plaçant une monocouche ou des couches multiples de grappes ou de couche mince semiconductrices dans le revêtement isolé et en établissant ainsi le dit
- 25 revêtement isolant avec MISFET comme revêtement isolé pour la grille, on obtient les deux états passant et bloqué pour  $V_g = 0$  V en appliquant une tension  $V_{th}$  variable (en utilisant  $V_g = 0$  V comme axe des tensions symétriques  $V_{th}$ ) par exemple de +10 V à -10 V.

- Une mémoire non volatile peut s'obtenir par utilisation
- 30 du fait ci-dessus. En changeant  $V_{th}$  dans le sens positif ou négatif à un certain écart de 0 V, on permet à la structure MISFET de changer sa caractéristique dynamique. Ainsi avec des caractéristiques symétriques centrées sur  $V_g = 0$  V obtenues à partir de la caractéristique  $C - V$  de la figure 6 (B) et la caractéristique
- 35  $V_g - I_d$  de la figure 7, on pense qu'une charge d'interface (charge généralement positive) connue dans la technique et la charge piégée par la grappe diffèrent l'une de l'autre à la place où elles ont été piégées.

#### Forme d'exécution 4.

- 40 La forme d'exécution concerne la structure de la figure

2 (E) et (F) avec revêtement isolé. Dans la figure 2 (A) et (B), les grappes et la couche mince existent du côté du substrat mais dans la présente forme d'exécution elles existent du côté de l'électrode. Comme matière pour l'électrode, on utilise en général l'aluminium et l'or. Dans ce cas, il n'y a que des électrons comme porteurs et le dispositif résultant sera seulement une mémoire à lecture et ainsi il ne sera pas souple comme dispositif de mémoire, car le trou ne peut pas être placé dans le dispositif pour supprimer l'électron à piéger. Pour cette raison, on utilise dans l'essai l'un quelconque des trois types d'impuretés, c'est-à-dire des impuretés de type P, de type N ou des deux types, et du silicium ou du germanium fortement dopé (de l'ordre de  $10^{19} \sim 10^{20} \text{ cm}^{-3}$ ). Dans le cas d'une grille de silicium, on dépose du diborane ou de la phosphine avec le silane respectivement comme impuretés de type P ou de type N. Cela fait déplacer  $V_{FB}$  vers la droite ou vers la gauche en proportion de la différence de la fonction de travail entre le substrat et l'électrode et en même temps on obtient beaucoup de trous. Autrement, les trous n'existent que difficilement.

Pour faire le revêtement 2, seul le procédé CVD est applicable, non comme pour le revêtement 4. Comme revêtement 2, on forme du nitrure de silicium de  $10 \sim 100 \text{ Å}$ . Il aide à empêcher la pollution provenant de l'extérieur.

Les résultats de l'essai sont tous en symétrie. La figure 10 est obtenue pour changer l'épaisseur de 2 sur la figure 2 (E) et (F). La caractéristique ressemble à la caractéristique obtenue sur la figure 2 (A) et (B) avec épaisseur de 4 augmentée. Les repères 31, 32, 33 et 34 représentent respectivement les épaisseurs de 15 Å, 25 Å, 50 Å et 200 Å. Pour  $V_g = \pm 100 \text{ V}$ , on a 120 V pour  $\Delta V_{FB}$ . Pour augmenter la charge à injecter, la distance à une source de l'injection, c'est-à-dire la distance entre la grille semiconductrice 1 et la grappe ou la couche mince 7 doit être raccourcie. Cela ressemble aux données de la forme d'exécution 1 et à la figure d'essai 5. L'essai a montré que la grappe 7 selon la figure 2 (E) permettrait une grande vitesse de production. Dans le cas du semiconducteur à couche mince tel que 7 sur la figure 2 (F), les trous d'aiguille existant dans le revêtement isolé 2 laisseraient fuir la charge piégée.

Ainsi, on a trouvé que, pour utiliser la figure F en pratique l'épaisseur moyenne de 2 doit être au-dessus de 50 Å. Comme



décrit dans la forme d'exécution 1, il est désirable de mélanger une petite quantité de gaz nitré tel que de l'ammoniac au gaz silicié afin d'obtenir la longue retenue de mémoire quand la grappe semiconductrice est produite.

- 5 Les parties (G), (H), (I) et (J) de la figure 2 représentent respectivement la combinaison de (A) et (E), (B) et (F), (B) et (E) et (F) et (A) pour doubler chaque fonction.

La présente invention munit la grappe semiconductrice ou le revêtement de couche mince avec le revêtement isolé sur lui ou  
10 sur sa partie de la surface semiconductrice tout en maintenant une distance constante entre eux.

La présente invention fournit le moyen de contrôler le degré d'hystérésis dans la caractéristique C - V en modifiant les conditions de la grappe ou de la couche mince formée et la  
15 distance entre l'interface et eux. La structure selon l'invention est basée sur la nouvelle théorie développée par le demandeur au sujet d'un centre de piégeage pour la charge et ainsi l'invention diffère complètement de la structure classique MNOS utilisant le centre de piégeage à former accidentellement dans la conception  
20 de la technique.

La présente invention offre des innovations dans l'utilisation des types de dispositifs semiconducteurs, particulièrement des types MISFET.

Dans la discussion qui précède, la grappe ou la couche  
25 mince ont été utilisés parce que les micrographies électroniques ont montré l'existence de la grappe seulement, de la couche mince seulement et du mélange des deux.

La structure de la présente invention offre facilement des paramètres pour la fabrication et l'obtention de résultats variés.

30 La dimension, la densité et l'épaisseur de la grappe peuvent être modifiés si aisément que le dispositif peut être utilisé de beaucoup de façons comme mémoire non volatile, MISFET à  $V_{th}$  variable, etc ...

REVEN DICATIONS.

1. Dispositif semiconducteur avec revêtement isolant à former sur un substrat semiconducteur et ayant la structure constituée par des grappes "clusters" ou une couche mince semiconductrice en monocouche ou en multicouche sur l'interface spécifiée ou près de la dite interface du revêtement isolé en deux ou plusieurs parties.
2. Procédé pour contrôler le courant s'écoulant à travers le semiconducteur sous le dit revêtement selon la revendication 1, utilisant les dites grappes ou la dite couche mince d'un semiconducteur comme centres pièges pour la charge, en contrôlant ainsi le type de charge piégée et la quantité de charge piégée.
3. MISFET (métal-isolant-silicium-transistor à effet de champ) utilisant comme grille le revêtement isolant selon la revendication 2.
4. Dispositif semiconducteur selon la revendication 1, dans lequel les dites grappes et la dite couche mince sont en silicium ou en germanium.
5. Dispositif selon la revendication 1, dans lequel la matière pour les dits revêtements isolés qui tiennent les grappes ou la couche mince entre eux est établie en nitrure de silicium, en oxy-nitrure de silicium, en nitrure de germanium, en oxyde de silicium ou en oxyde d'aluminium ou encore en une combinaison de ces corps.
6. Dispositif semiconducteur selon la revendication 1, dans lequel la dite grappe ou la dite couche mince d'un semiconducteur est à mettre en place à moins de 200 angströms du substrat semiconducteur ou de l'électrode de grille.
7. Dispositif semiconducteur selon la revendication 4, dans lequel la dite grappe ou la dite couche mince doit être dopée avec l'impureté ayant une caractéristique de conduction de type P ou de type N.
8. Dispositif semiconducteur selon la revendication 1, dans lequel les revêtements isolants sont produits par les opérations suivantes :
- a) un revêtement isolé sans grappe ou presque est formé sur le substrat semiconducteur en monocouche ou en multicouche ;
  - b) une grappe ou une mince couche semiconductrice est formée sur le revêtement isolé ;
  - c) un revêtement isolé sans grappe ou presque est formé

sur les grappes ou la couche mince semiconductrices ;

d) l'opération a) est répétée et on produit les grappes multicouches ou la couche mince dans le revêtement isolant selon la demande.

5           9. Dispositif semiconducteur selon la revendication 8, dans lequel les dites grappes ou la couche mince sont fabriquées par le procédé CVD (dépôt chimique par voie gazeuse) ou par le procédé d'évaporation sous vide.

10           10. Dispositif semiconducteur selon la revendication 7, dans lequel les dites grappes ou la dite couche mince sont formées par l'utilisation de gaz silicié ou de gaz composé de germanium avec de l'ammoniac ou de l'hydrazine en même volume ou en volume moindre que ce gaz.

15           11. Dispositif semiconducteur selon la revendication 8 ou la revendication 9, pour lequel on utilise comme gaz silicié du silane, du silane dichloré, du silane trichloré ou du tétrachlorure de silicium.

20           12. Dispositif semiconducteur selon la revendication 8 ou la revendication 9, dans lequel on utilise du germane ou du chlorure de germanium comme gaz composé de germanium.

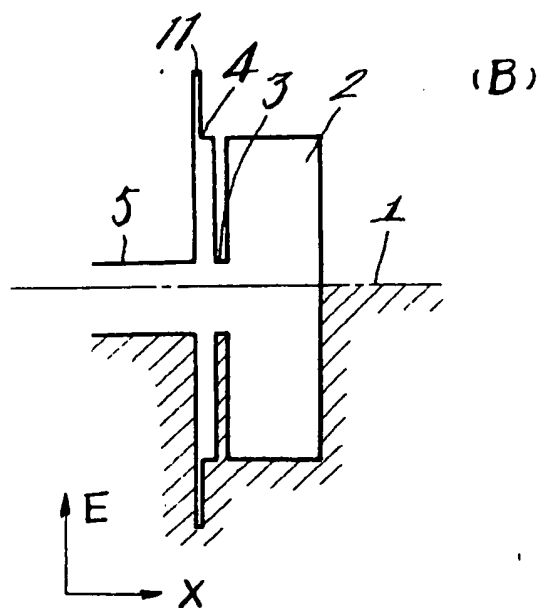
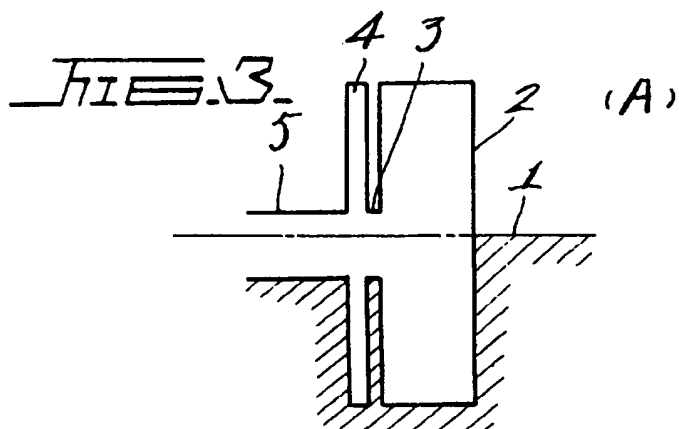
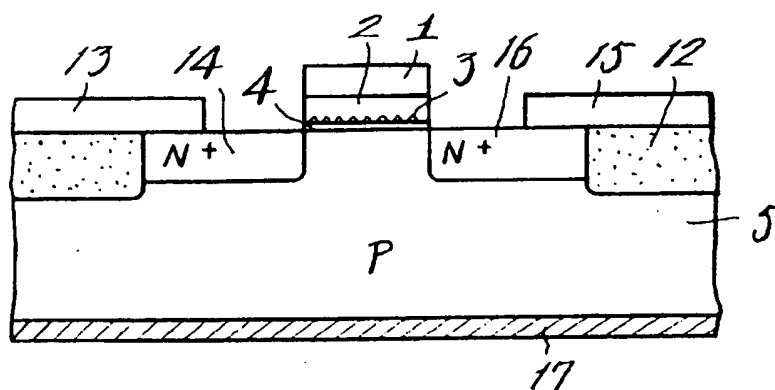
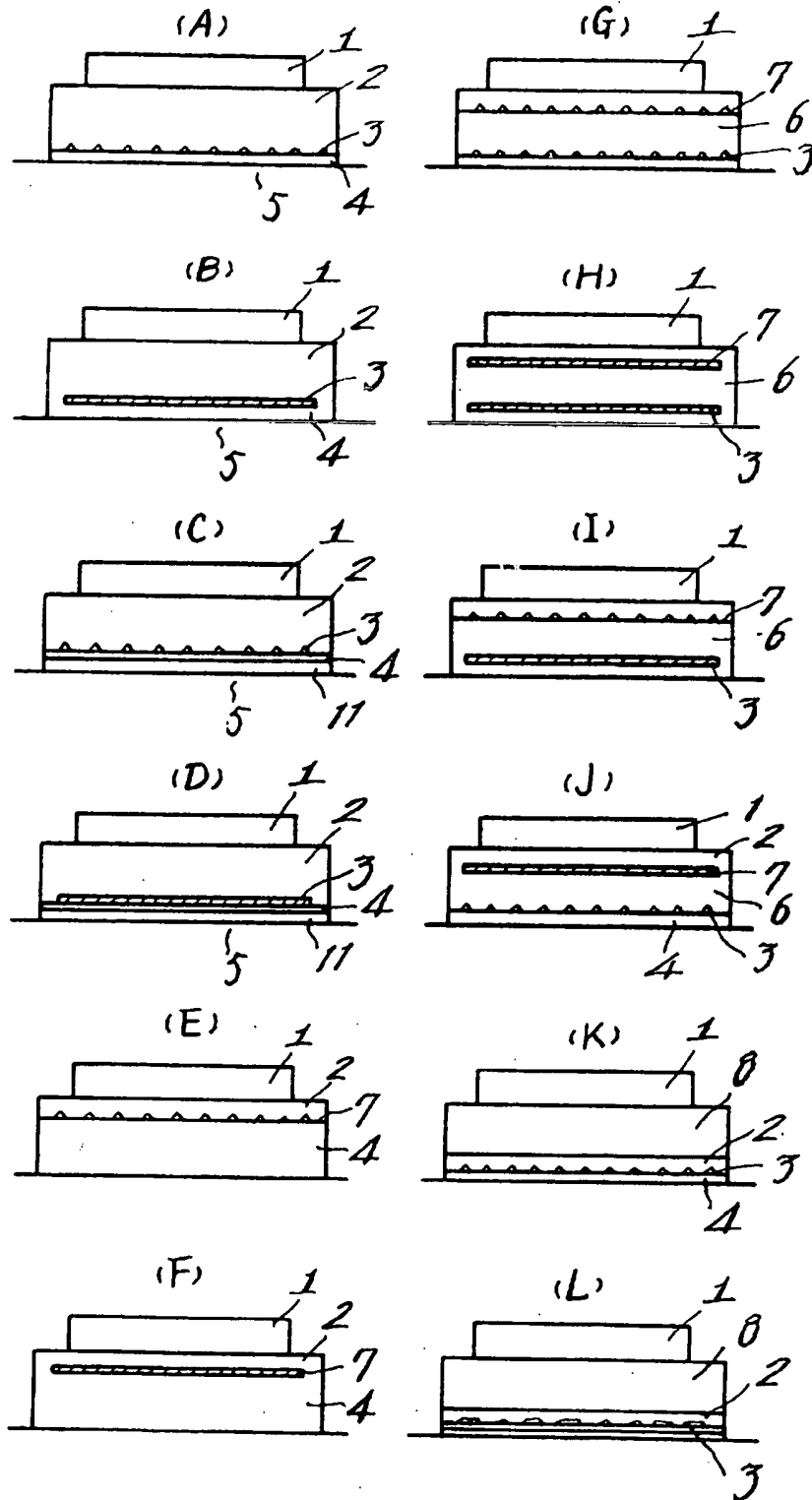
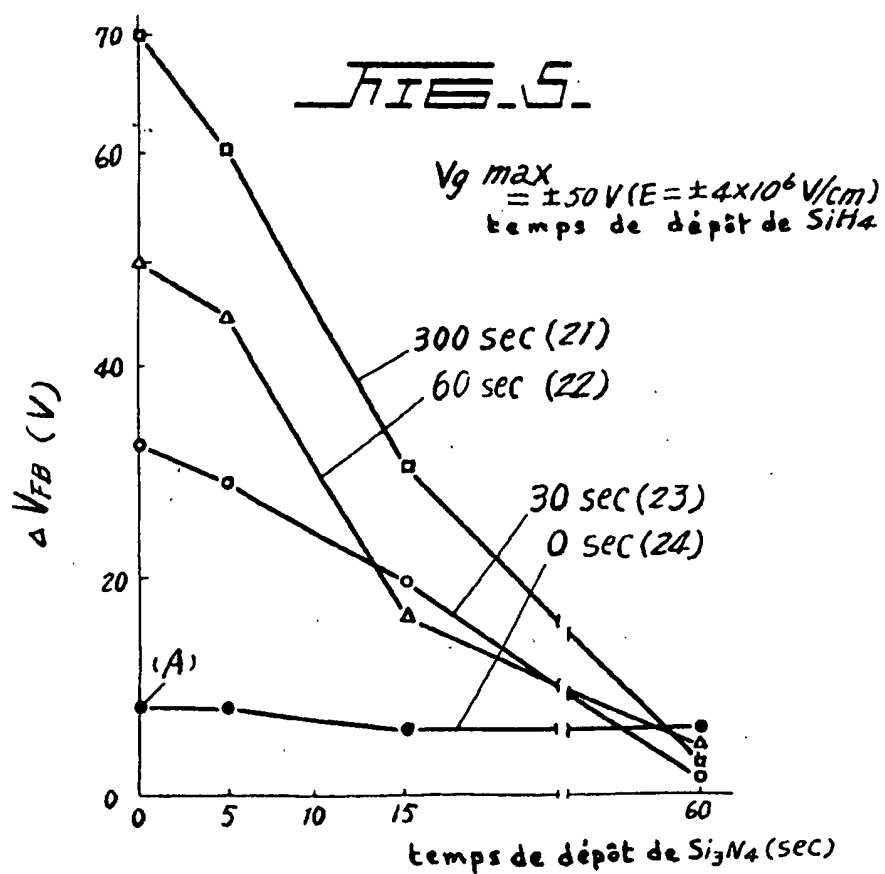
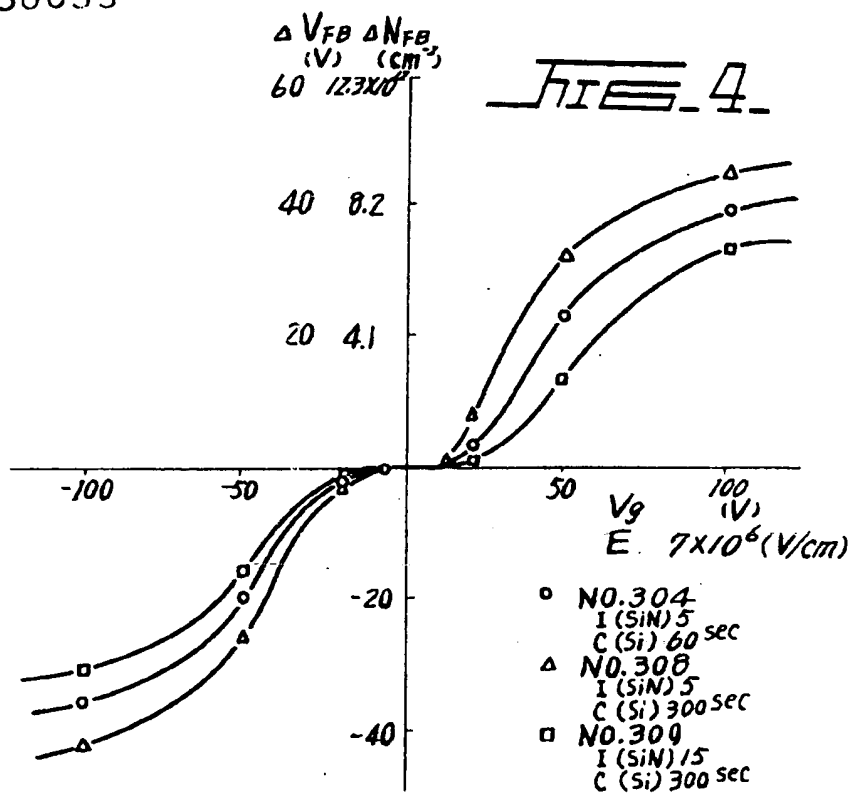
FIG. 1.

FIG. 2.

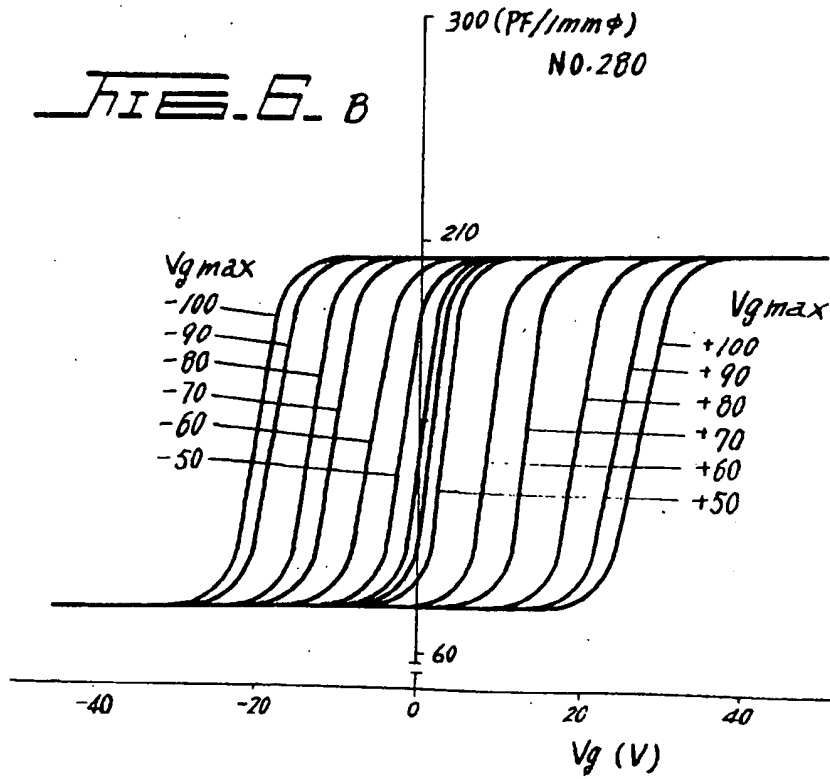
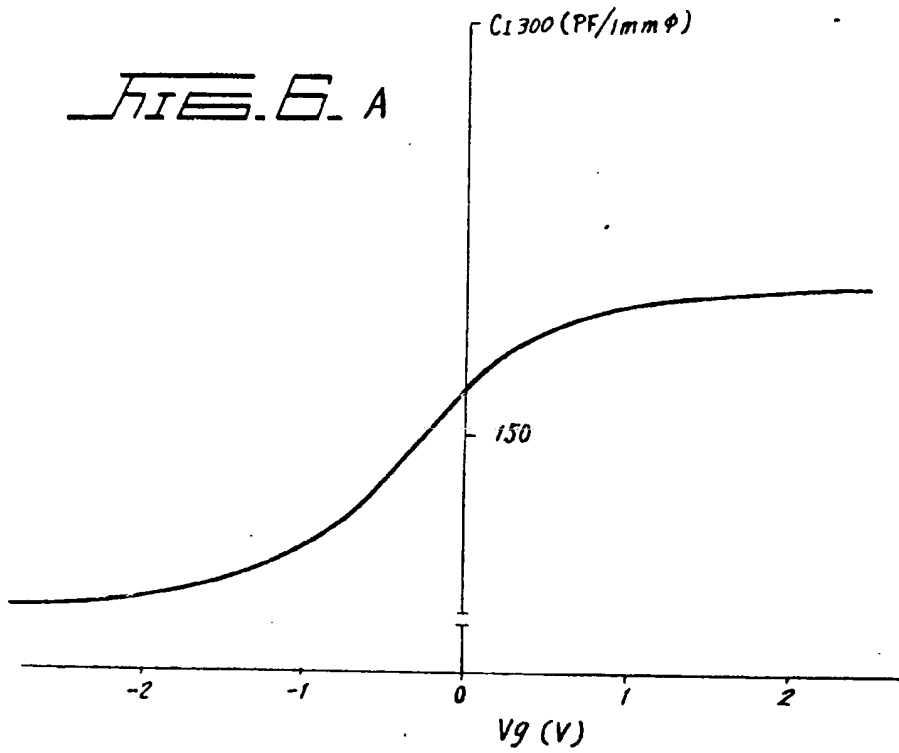
71 38633

2111866



71 38633

2111866



71 30623

2111866

Fig. 7

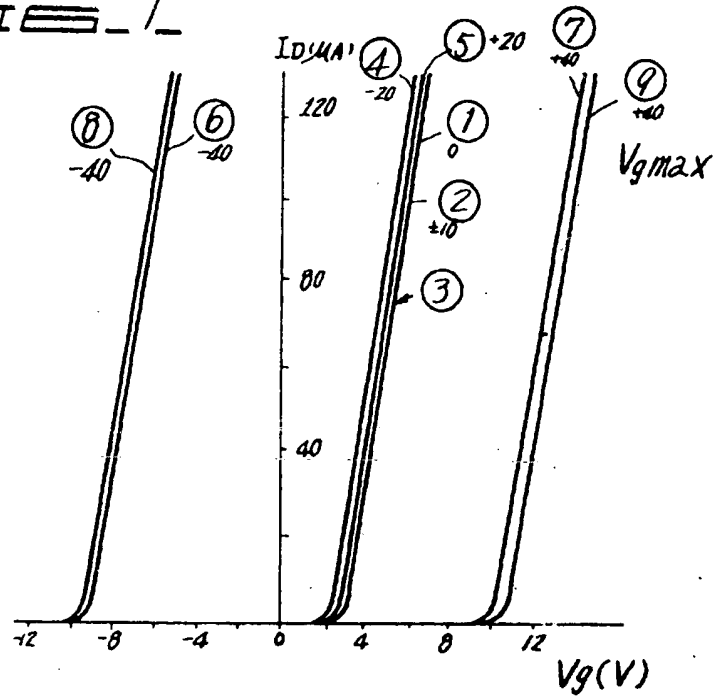
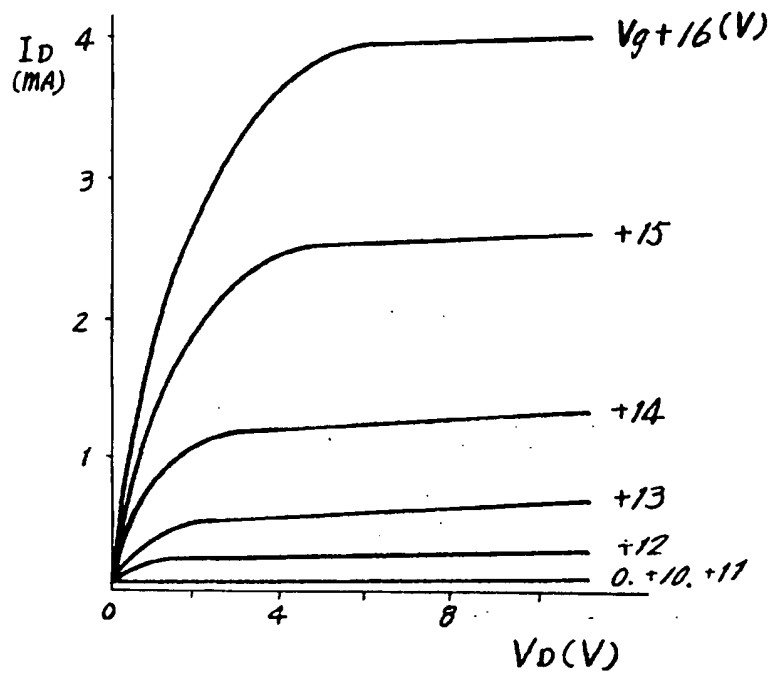


Fig. 8





71 38633

2111866

